

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Partial English Translation of
LAID OPEN unexamined
JAPANESE PATENT APPLICATION
Publication No. 09-320988

[0014] Figure 4 shows the structures of crystal grains of titanium silicide, which are observed through a transmission electron microscope. The crystal grains as a sample are obtained by depositing titanium having a thickness of 40 nm on amorphous silicon and performing a RTA under a nitrogen atmosphere for 30 seconds at 650 °C. Figure 4 shows phase transition of titanium silicide from the C49 structure to the C54 structure. A small crystal grain having a fine striped pattern caused by lamination defect is titanium silicide having the C49 structure and a large crystal grain is titanium silicide having the C54 structure. In the light of Figure 4, it is obvious that the crystal grain of titanium silicide having the C49 structure is significantly different from that having the C54 structure even under the thermal treatment at the same temperature. The reason why the phase transition of titanium silicide occurs at a comparatively low temperature, 650 °C is that the amorphous silicon is used ("Material Research Society Symposium Proceedings" discloses this on pages 167 to 172, Vol. 181, 1990.).

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-320988

(43)Date of publication of application : 12.12.1997

(51)Int.CI. H01L 21/28
H01L 21/3205
H01L 29/78

(21)Application number : 08-139050

(71)Applicant : NEC CORP

(22)Date of filing : 31.05.1996

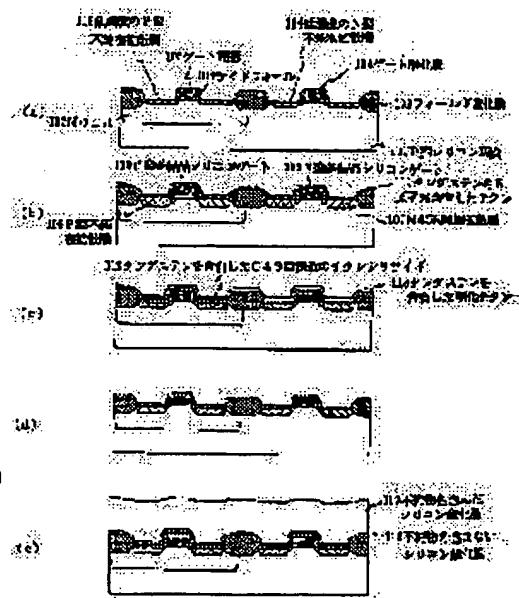
(72)Inventor : FUJII KUNIHIRO
INOUE AKIRA
MIYAGAWA KUNIKO
MIKAGI IKU

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To ensure heat resistance by using a titanium silicide film, which stably exists after heat treatment at a specific temperature or higher and has a C49 type structure, or a titanium silicide film, which contains an impurity and has a C49 structure, for an electrode or wiring.

SOLUTION: On the surface of silicon semiconductor substrate 101, a field oxide film 103 is formed by selective oxidation, and on the active area surrounded by the field oxide film 103, an N type impurity diffusion layer 107, P type impurity diffusion layer 108, N type polycrystal silicon gate 109 and P type polycrystal silicon gate 110 are formed by photolithography and ion implantation. Then, on the silicon layers 107-110 wherein impurities are diffused, titanium nitride 113 containing a tungsten of 1 atom % or more and 10 atom % or less is deposited, and a titanium silicide layer 112 containing tungsten with a C49 type structure is formed by heat treatment at 800° C or higher.



LEGAL STATUS

[Date of request for examination] 31.05.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2956583

[Date of registration] 23.07.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-320988

(43)公開日 平成9年(1997)12月12日

(51) Int.Cl. ⁹	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 21/28	3 0 1		H 01 L 21/28	3 0 1 T
21/3205			21/88	Q
29/78			29/78	3 0 1 G

審査請求 有 請求項の数6 O.L (全10頁)

(21)出願番号 特願平8-139050
(22)出願日 平成8年(1996)5月31日

(71)出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72)発明者 藤井 邦宏
東京都港区芝五丁目7番1号 日本電気株式会社内
(72)発明者 井上 順
東京都港区芝五丁目7番1号 日本電気株式会社内
(72)発明者 宮川 邦子
東京都港区芝五丁目7番1号 日本電気株式会社内
(74)代理人 弁理士 菅野 中

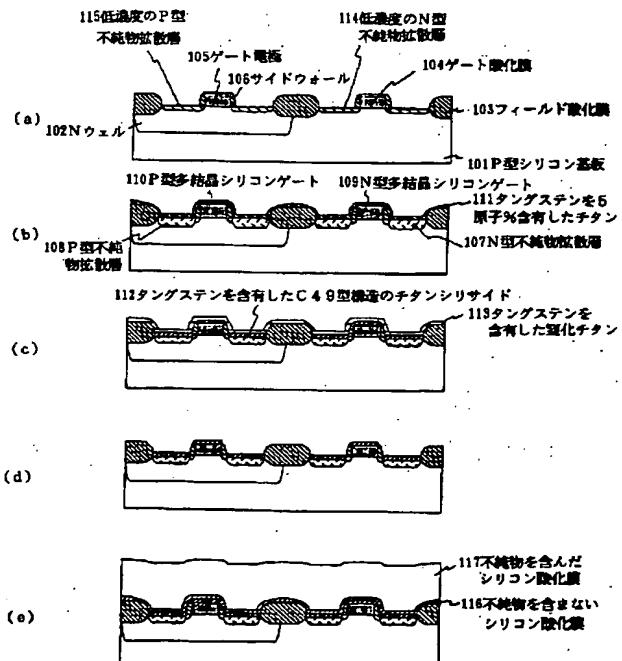
最終頁に続く

(54)【発明の名称】 半導体装置とその製造方法

(57)【要約】

【課題】 チタンシリサイドを用いたシリサイドプロセスにより製造する半導体装置において、耐熱性の高いチタンシリサイド膜の形成方法を提供する。

【解決手段】 不純物が拡散されたシリコン層107～110上に、1原子%以上、10原子%以下のタングステンを含有したチタンを堆積し、その後、熱処理により、タングステンを含有したC49型構造のチタンシリサイド層を形成する。



【特許請求の範囲】

【請求項1】 電極または配線を有する半導体装置であって、

電極または配線は、800°C以上の熱処理後においても安定に存在する、C49型構造のチタンシリサイド膜、あるいは、不純物を含むC49型構造のチタンシリサイド膜を用いたものであることを特徴とする半導体装置。

【請求項2】 前記不純物がタンゲステンであり、チタン及びタンゲステンの総量に対するタンゲステンの濃度が、1原子%以上、10原子%以下であることを特徴とする請求項1に記載の半導体装置。

【請求項3】 半導体基板上に選択的に形成される絶縁膜間に、不純物であるタンゲステンを含有したC49型構造のチタンシリサイド層を形成することを特徴とする半導体装置の製造方法。

【請求項4】 絶縁膜形成工程と、チタン堆積工程と、シリサイド形成工程と、除去工程とを有する半導体装置の製造方法であって、

絶縁膜形成工程は、半導体基板上の所定の領域に絶縁膜を選択的に形成する処理であり、

チタン堆積工程は、基板全面にタンゲステンを含有したチタン膜を堆積する処理であり、

シリサイド形成工程は、窒素雰囲気での急速熱処理により、前記選択的に形成された絶縁膜間のシリコンの表面に、選択的にタンゲステンを含有したC49型構造のチタンシリサイド層を形成する処理であり、

除去工程は、ウェットエッチングにより、タンゲステンを含有した窒化チタン膜を選択的に除去する処理であることを特徴とする半導体装置の製造方法。

【請求項5】 チタン及びタンゲステンの総量に対する前記タンゲステンの濃度が、1原子%以上、10原子%以下であることを特徴とする請求項3又は4に記載の半導体装置の製造方法。

【請求項6】 前記タンゲステンを含有したチタン膜を堆積するチタン堆積工程は、所望の組成のタンゲステンとチタンの合金からなるターゲットを用いてスパッタ堆積を行うものであることを特徴とする請求項4に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、チタンシリサイド膜を電極又は配線として有する半導体装置及びその製造方法に関し、特に、ゲート、ソース及びドレインを自己整合的にシリサイド化することにより、低抵抗化を図るMOS型電界効果トランジスタ(MOSFET)とその製造方法に関する。

【0002】

【従来の技術】 従来の半導体装置を形成するサリサイドプロセスでは、チタンが用いられてきた。これは、高融点金属シリサイドの中で、チタンシリサイドの電気抵抗

率が最も低いためである。

【0003】 図3は、従来のサリサイドプロセスを工程順に示す縦断面図である。図3(a)に示されるようにP型シリコン基板301に、Nウェル302を既知の方法により形成する。次いで、基板301の表面にフィールド絶縁膜として酸化膜303を選択酸化法により形成する。このフィールド酸化膜303に囲まれた活性領域に、順次シリコン酸化膜などのゲート絶縁膜304と多結晶シリコンを成長し、多結晶シリコンにリンを既知の手法によりドープして多結晶シリコンの電気抵抗の低減を図る。

【0004】 次いで、既知の方法であるフォトリソグラフィー法とドライエッチング法により、多結晶シリコンをパターンニングしてゲート電極305を形成する。次に、フォトリソグラフィー法とイオン注入法により、低濃度のN型不純物拡散層313と低濃度のP型不純物拡散層314を形成する。次いで、ゲート電極305の側面にシリコン酸化膜あるいはシリコン窒化膜から構成されるサイドウォール絶縁膜306を既知のCVD技術とエッチング技術を用いて形成する。

【0005】 次に、図3(b)に示されるようにフォトリソグラフィー法とイオン注入法により、N型不純物拡散層307とP型不純物拡散層308を形成する。かくしてLDI構造としてN型ソース・ドレイン領域307、P型ソース・ドレイン領域308が形成される。次いで、ゲート電極である多結晶シリコンの表面と半導体基板表面の自然酸化膜を除去し、チタン309をスパッタ堆積する。

【0006】 次に、図3(c)に示されるように窒素雰囲気中で700°C以下の急速熱処理(以下、RTAといふ)することにより、シリコンと接触するチタンのみをシリサイド化し、C49型構造のチタンシリサイド310を形成する。またこの際、フィールド酸化膜303及びサイドウォール306と接触するチタンと半導体基板上のチタンの一部は窒化されて窒化チタン311となる。

【0007】 次に図3(d)に示されるようにアンモニア水及び過酸化水素水等の混合液などにより、選択的にウェットエッチングし、未反応チタンと窒化チタンのみを除去する。次いで、前述のRTAよりも高温(800°C以上)のRTAを行い、前記のC49型構造のチタンシリサイド310よりも電気抵抗率の低いC54型構造のチタンシリサイド312を形成する。

【0008】 次に、図3(e)に示されるように層間絶縁膜として不純物を含まないシリコン酸化膜315を堆積し、続いてボロンあるいはリンなどの不純物を含んだシリコン酸化膜316を堆積し、この層間絶縁膜の焼きしめを、800°C程度の炉アニールにより行う。

【0009】 以上に示したサリサイドプロセスを用いることにより、多結晶シリコン305、N型及びP型不純

物拡散層307, 308の表面部分が自己整合的にシリサイド化されるために低抵抗化され、デバイスの高速化が図れる。このサリサイドプロセスは、必要とする領域に限って、選択的にシリサイド化できる利点がある。

【0010】

【発明が解決しようとする課題】ところが、図3に示した従来の製造方法では、層間絶縁膜の焼きしめとして800°C程度の炉アニールを行う際、前記C54構造を有するチタンシリサイド膜が、島状に変形し、層抵抗値が高くなると共に、そのばらつきも大きくなるという問題点があった。

【0011】そこで、この問題を解決するために、チタンシリサイド膜中に、酸素やボロン（硼素）などをイオン注入し、その後の熱処理により、酸化チタンや硼化チタンを形成することで、チタンシリサイド膜の耐熱性を上げる方法が知られている（特開平3-80542号公報、1995年秋季応用物理学会予稿集P678）。

【0012】しかしながら、これらの技術を用いても、微細線幅上の薄膜化されたチタンシリサイドの耐熱性を十分に確保することは難しい。

【0013】以下、本原因について述べる。これらの技術は、基本的には、前記、従来の技術と同様のプロセスを用いているので、最終的に形成されるチタンシリサイド膜は、C54型構造のチタンシリサイド膜である。一方、このC54型構造のチタンシリサイド膜の結晶粒径は、C49型構造のチタンシリサイド膜の結晶粒径よりも、10倍以上も大きい。

【0014】図4は、非晶質シリコン上に、40nmのチタンを堆積し、その後、650°C、30秒の窒素雰囲気中のRTAを行った試料を、透過型電子顕微鏡によって観察した、チタンシリサイドの結晶粒の構造であり、丁度、チタンシリサイドがC49型構造からC54型構造に相転移しているところを観察したものである。図中の積層欠陥に起因した細かい縞模様のある小さい結晶粒がC49型構造のチタンシリサイドであり、大きい結晶粒がC54型構造のチタンシリサイドである。これより、同じ熱処理の温度においても、C49型構造とC54型構造のチタンシリサイドの結晶粒に大きな違いがあるのは明白である。ここで、チタンシリサイドの相転移が650°Cという比較的低い温度で起きているのは、非晶質シリコンを用いているためである（マテリアル・リサーチ・ソサイエティ・シンポジウム・プロシードィングス、1990年、VOL. 181, P167~P172に開示されている）。

【0015】また、ジャーナル・オブ・アプライド・ファイズイクス、1992年、P720~P724より、チタンシリサイドの耐熱性は、粒径が小さいほど高くなることが知られている。

【0016】これらのことより、C54型構造のチタンシリサイド膜では、C49構造のチタンシリサイドより

も比抵抗化は小さいが、結晶粒径については、非常に大きくなってしまうために、本質的に耐熱性を十分に確保することが難しい。

【0017】本発明の目的は、耐熱性を十分に確保した半導体装置とその製造方法を提供することにある。

【0018】

【課題を解決するための手段】前記目的を達成するため、本発明に係る半導体装置は、電極または配線を有する半導体装置であって、電極または配線は、800°C以上の熱処理後においても安定に存在する、C49型構造のチタンシリサイド膜、あるいは、不純物を含むC49型構造のチタンシリサイド膜を用いたものである。

【0019】また前記不純物がタンゲステンであり、チタン及びタンゲステンの総量に対するタンゲステンの濃度が、1原子%以上、10原子%以下である。

【0020】また半導体基板上に選択的に形成される絶縁膜間に、不純物であるタンゲステンを含有したC49型構造のチタンシリサイド層を形成するものである。

【0021】また絶縁膜形成工程と、チタン堆積工程と、シリサイド形成工程と、除去工程とを有する半導体装置の製造方法であって、絶縁膜形成工程は、半導体基板上の所定の領域に絶縁膜を選択的に形成する処理であり、チタン堆積工程は、基板全面にタンゲステンを含有したチタン膜を堆積する処理であり、シリサイド形成工程は、窒素雰囲気での急速熱処理により、前記選択的に形成された絶縁膜間のシリコンの表面に、選択的にタンゲステンを含有したC49型構造のチタンシリサイド層を形成する処理であり、除去工程は、ウェットエッティングにより、タンゲステンを含有した窒化チタン膜を選択的に除去する処理である。

【0022】またチタン及びタンゲステンの総量に対する前記タンゲステンの濃度が、1原子%以上、10原子%以下である。

【0023】また前記タンゲステンを含有したチタン膜を堆積するチタン膜堆積工程は、所望の組成のタンゲステンとチタンの合金からなるターゲットを用いてスパッタ堆積を行うものである

【0024】

【作用】前述のとおりに、従来の方法で形成したチタンシリサイドは、粒径が非常に大きなC54型構造の結晶となり、本質的に、微細線幅上で耐熱性を確保することは難しい。

【0025】本発明では、タンゲステンが含有したチタンとシリコンを反応させることで、800°C以上の熱処理後においても、C54型構造のチタンシリサイドに相転移せず、安定に存在する、タンゲステンを含むC49型構造のチタンシリサイド膜を形成し、耐熱性の高い微細線幅の電極、または微細な配線として用いるというものである。

【0026】図5は、それぞれ膜厚35nmのチタン

(図中●印)あるいは、タンゲステンを5原子%含有するチタン(図中○印)とシリコンを各温度で30秒間RTAを行って、反応させ形成したシリサイド膜の層抵抗をみたものである。

【0027】チタンとシリコンの反応により形成されたチタンシリサイドの場合には、RTAの温度が、750°Cで急激に層抵抗が低下し、その後抵抗値に変化がみられないのが判る。これは前述の通り、750°Cで、C49型構造からC54型構造に相転移し、比抵抗が下がったためである。

【0028】一方、タンゲステンを5原子%含有したチタンとシリコンの反応により形成されたチタンシリサイドの場合には、RTAの温度が700°Cで層抵抗が下がるもの、その後700°Cから1000°Cまで、層抵抗値に大きな変化がみられないのが判る。透過型電子顕微鏡による観察や、X線回折測定より調べた結果、タンゲステンを5原子%含有したチタンとシリコンの反応により形成されたシリサイドは、結晶粒内にタンゲステンを含有した、C49型構造のチタンシリサイドであり、C54型構造のチタンシリサイドは、1000°CのRTA後も全く観測されなかった。

【0029】図6には、タンゲステンを含有するチタンとシリコンの反応により形成したシリサイド層の比抵抗のタンゲステンの原子濃度依存性を示す。シリサイドの比抵抗は、タンゲステンの濃度に敏感であり、10原子%以上で急激に増大する。

【0030】従って、低抵抗のシリサイド膜を形成するためには、チタン中のタンゲステンの濃度を10原子%以下にする必要がある。また、タンゲステンは、チタンとシリコンの反応を抑制する働きがあり、タンゲステンの濃度が、60原子%以上では均一な膜を形成することが困難になり、更に、80原子%以上では均一な組成のチタンとタンゲステンのシリサイドを形成するのが困難なことが知られており、均一膜の形成のためには、チタン中のタンゲステンの濃度を20原子%以下にする必要がある(ジャーナル・オブ・アプライド・フィズィクス、1982年、P6898~P6905)。

【0031】一方、図6に示されるように、タンゲステンの濃度が1原子%では、シリサイドの比抵抗が、 $20\ \mu\Omega \cdot cm$ 程度となっている。これは、シリサイドの結晶構造が、C49型から、比抵抗の低いC54型に相転移したためである。それに対し、タンゲステンの濃度が2原子%では、シリサイドの比抵抗が、 $40\ \mu\Omega \cdot cm$ 程度となっており、シリサイドの結晶構造が、比抵抗の高いC49型であることがわかる。従って、C49型の結晶構造を、安定に形成するためには、チタン中のタンゲステン濃度を、1原子%以上にする必要があることが判る。以上の結果と、チタンシリサイド形成プロセスのマージンも見込んだ上で、チタン中のタンゲステンの濃度は1原子%以上、10原子%以下が望ましいことが

5
判った。

【0032】また、チタン膜中に、均一に、タンゲステンを分布させるためには、タンゲステンを含有したチタン合金のターゲットを用いて、スパッタ堆積するのがよい。また、本堆積方法を用いれば、RTA後のチタンシリサイド膜中にも、均一にタンゲステンを分布させることが可能である。

【0033】図7は、本発明の効果を示す図である。図7(a)は、本発明に従い、チタンとタンゲステンの総量に対し、5原子%のタンゲステンを含有するC49構造のチタンシリサイド膜を、線幅が $0.2\ \mu m$ のN型ゲート電極上に形成したときの層抵抗と、その後、各温度で炉アニールを1時間行った後の層抵抗が示されている(図中○印)。

【0034】図には、参考のため、従来の技術により、C54型構造のチタンシリサイドを、線幅が $0.2\ \mu m$ のN型ゲート電極上に形成したときの層抵抗と、その後、各温度で炉アニールを1時間行った後の層抵抗も示されている(図中●印)。

【0035】これより、炉アニールを加えていない場合の各シリサイド膜の層抵抗は、その比抵抗に起因して、従来の技術で形成した方が低くなっている。

【0036】しかしながら、750°C以上に熱処理を加えた場合、従来の技術で形成したものとの層抵抗は、急激に上昇するのに対し、本発明により形成したものについては、層抵抗に大きな変化はみられない。これは、前述の通り、従来の技術で形成したシリサイド膜が、耐熱性に乏しく、島状に変形したことによるものである。

【0037】一方、本発明により形成したシリサイド膜は、 $0.2\ \mu m$ という微細な線幅であっても、800°Cの熱処理に対し、十分な耐熱性を有していることが判る。

【0038】図7(b)には、それぞれ、 $0.5\ \mu m$ 幅のN型拡散層上に、本発明(図中○印)と従来の技術(図中●印)により形成したチタンシリサイドの層抵抗と、熱処理によるその変化をみたものである。N型ゲート電極上と同様に、従来の技術により形成したチタンシリサイド膜の耐熱性はほとんどないのに対して、本発明により形成したチタンシリサイド膜では、800°Cの熱処理でも、十分耐熱性が確保されていることが判る。

【0039】以上の結果より、本発明により形成した、タンゲステンを含有したC49構造のチタンシリサイド膜が、十分な耐熱性を有しているのは明白である。

【0040】また、本発明のプロセスでは、本質的に、C54型構造のチタンシリサイドは形成されないので、従来の技術で必要であった、C49型構造のチタンシリサイドをC54型構造のチタンシリサイドに相転移させるための、第2のRTAが必要なくなり、工程数が削減され、プロセスコストの低減が図れるという利点もある。

【0041】

【発明の実施の形態】次に本発明の実施形態について図面を用いて詳細に説明する。

【0042】(実施形態1) 図1は、本発明の実施形態1を製造工程順に示した断面図である。

【0043】図1(a)に示されるように、P型シリコン基板101にPチャンネル絶縁ゲートトランジスタが形成される領域に、Nウェル102をイオン注入法により形成する。次いで、シリコン半導体基板101の表面に、フィールド絶縁膜として厚さ300nmのフィールド酸化膜103を選択酸化法により形成する。このフィールド酸化膜103に囲まれた活性領域に、厚さ6nmのゲート絶縁膜としてゲート酸化膜104を形成し、この後ゲート電極材料として厚さ150nmの多結晶シリコンを成長する。次いで、既知の方法であるフォトリソグラフィー法とドライエッチ法により、多結晶シリコンをパターンニングしてゲート電極105を形成する。次に、フォトリソグラフィー法とイオン注入法により、低濃度のN型不純物拡散層114と低濃度のP型不純物拡散層115を形成する。更に、全面に厚さ70nmのシリコン酸化膜を成長し、エッチバック法により、ゲート電極105の側面にサイドウォール106を形成する。

【0044】次に、図1(b)に示されるようにフォトリソグラフィー法とイオン注入法により、N型不純物拡散層107、P型不純物拡散層108、N型多結晶シリコンゲート109、及びP型多結晶シリコンゲート110を形成する。イオン注入後は、窒素雰囲気中、900°C、20分の熱処理により、シリコン結晶の回復と不純物の活性化を行う。かくしてLDD構造としてN型ソース・ドレイン領域107とP型ソース・ドレイン領域108が形成される。

【0045】次いで、ゲート電極である多結晶シリコンの表面と半導体基板表面の自然酸化膜を希硫酸により除去し、厚さ30nmのタンゲステンを5原子%含有したチタン111を半導体基板上にスパッタ堆積する。

【0046】次に、図1(c)に示されるように窒素雰囲気中で690°C、30秒の急速熱処理(RTA)することにより、シリコンと接触するチタンのみをシリサイド化し、タンゲステンを含有したC49型構造のチタンシリサイド112を形成する。またこの際、フィールド酸化膜及びサイドウォールと接触するタンゲステンを含有したチタンと半導体基板上のタンゲステンを含有したチタンの一部は窒化されて、タンゲステンを含有した窒化チタン113となる。

【0047】次に図1(d)に示されるようにアンモニア水及び過酸化水素水の混合液により、選択的にウェットエッティングし、タンゲステンを含有した窒化チタンのみを除去する。

【0048】次に、図1(e)に示されるように層間絶縁膜として不純物を含まないシリコン酸化膜116を堆

10

20

30

40

50

積し、続いてボロンあるいはリンなどの不純物を含んだシリコン酸化膜117を堆積し、この層間絶縁膜の焼きしめを、800°C程度の炉アニールにより行う。

【0049】ここで、チタン中のタンゲステンの濃度を、5原子%としているが、前述のように、本発明は、この濃度に限定されるものではなく、1原子%以上、10原子%以下ならばよい。

【0050】また、タンゲステンは、チタンシリサイドが、800°C以上の熱処理後も、C49型構造を維持させるための不純物の1つにすぎないので、タンゲステン以外の材料、例えば、ジルコニウム、ハフニウム、モリブデン、クロム等も使用することができることは言うまでもない。但し、プロセスの工数を増やさないために、タンゲステンのように、窒化チタンと一緒にエッチングできる材料層を選択する方が望ましい。さらに、MOSトランジスタ以外の他のデバイスのシリサイド化にも適用できる。

【0051】更に、前述のように、タンゲステンは、チタンとシリコンの反応を抑制するというデメレットがあるので、これを補うため、タンゲステンを5原子%含有したチタン111を堆積する前に、ヒ素イオンを $3.0 \times 10^{14} \text{ cm}^{-2}$ の注入量及び30keVの加速電圧でイオン注入法を行い、各ソース・ドレイン領域107、108及び各ゲート109、110の表面に、深さ30nmの非晶質シリコン層を形成し、その後、450°Cの基板温度で、タンゲステンを5原子%含有したチタン111を堆積すれば、シリサイド化反応が促進でき、より低抵抗のチタンシリサイドが形成できる。

【0052】(実施形態2) 図2は、本発明の実施形態2を製造工程順に示した断面図である。

【0053】図2(a)に示されるようにP型シリコン基板201にPチャンネル絶縁ゲートトランジスタが形成される領域に、Nウェル202をイオン注入法により形成する。次いで、シリコン半導体基板201の表面部分に、フィールド絶縁膜として厚さ300nmのフィールド酸化膜203を選択酸化法により形成する。このフィールド酸化膜203に囲まれた活性領域に、順次厚さ6nmのゲート酸化膜204を形成し、この後、ゲート電極材料として厚さ150nmの多結晶シリコン層205を成長する。

【0054】次いで、既知の方法であるフォトリソグラフィー法とドライエッチ法により、多結晶シリコン層205をパターンニングしてゲート電極205を形成する。次に、フォトリソグラフィー法とイオン注入法により、低濃度のN型不純物拡散層215と低濃度のP型不純物拡散層216を形成する。更に、基板全面に厚さ70nmのシリコン酸化膜を成長し、エッチバック法により、ゲート電極205の側面にサイドウォール206を形成する。

【0055】次に、図2(b)に示されるようにフォト

リソグラフィー法とイオン注入法により、N型不純物拡散層207、P型不純物拡散層208、N型多結晶シリコンゲート209、及びP型多結晶シリコンゲート210を形成する。

【0056】次いで、ゲート電極である多結晶シリコンの表面と半導体基板表面の自然酸化膜を希フロ酸により除去し、厚さ30nmのチタン211を半導体基板上にスパッタ堆積する。

【0056】次いで、ゲート電極である多結晶シリコンの表面と半導体基板表面の自然酸化膜を希フロ酸により除去し、厚さ30nmのチタン211を半導体基板上にスパッタ堆積する。

【0057】その後、図2(c)に示されるように、本発明に従い、Wイオンを $3.0 \times 10^{14} \text{ cm}^{-2}$ 以上、 $3.0 \times 10^{15} \text{ cm}^{-2}$ 以下の注入量及び10keVの加速電圧でイオン注入法を行い、1原子%以上、10原子%以下のタンゲステンが含有したチタン212を形成する。

【0058】次に、図2(d)に示されるように窒素雰囲気中で690°C、30秒の急速熱処理(RTA)することにより、シリコンと接触するチタンのみをシリサイド化し、タンゲステンを含有したC49型構造のチタンシリサイド213を形成する。またこの際、フィールド酸化膜及びサイドウォールと接触するタンゲステンを含有したチタンと半導体基板上のタンゲステンを含有したチタンの一部は窒化されて、タンゲステンを含有した窒化チタン214となる。

【0059】次に図2(e)に示されるようにアンモニア水及び過酸化水素水の混合液により、選択的にウェットエッチングし、窒化チタンのみを除去する。

【0060】次に、図2(f)に示されるように層間絶縁膜として不純物を含まないシリコン酸化膜217を堆積し、続いてボロンあるいはリンなどの不純物を含んだシリコン酸化膜218を堆積し、この層間絶縁膜の焼きしめを、800°C程度の炉アーナーにより行う。

【0061】本実施形態によれば、タンゲステンをイオン注入法により、チタン中に導入するので、膜中に均一に存在しないというデメリットはあるものの、数原子%程度の、タンゲステンの濃度を正確に調節することが可能となる。

【0062】ここで、イオン注入により導入されたタンゲステンは、チタンシリサイドが、800°C以上の熱処理後も、C49型構造を維持させるための不純物の1つにすぎないので、タンゲステン以外の材料、例えば、ジルコニウム、ハフニウム、モリブデン、クロム等も使用することができるることは言うまでもない。但し、プロセスの工数を増やさないためには、タンゲステンのように、窒化チタンと一緒にエッチングできる材料層を選択する方が望ましい。さらに、MOSトランジスタ以外の他のデバイスのシリサイド化にも適用できる。

【0063】

【発明の効果】以上のように本発明によれば、層間絶縁膜を焼きしめる際に、チタンシリサイド膜が島状に変形し、高抵抗化するという問題を解決することができ、耐熱性の高い、高信頼性のチタンシリサイド膜を用いた微細電極あるいは微細配線が実現できる。

【図面の簡単な説明】

【図1】本発明の実施形態1を工程順に示した断面図である。

【図2】本発明の実施形態2を工程順に示した断面図である。

【図3】従来例を工程順に示した断面図である。

【図4】透過型電子顕微鏡により観察した、相転移過程のチタンシリサイドの結晶粒構造を示す写真である。

【図5】本発明に従い、タンゲステンを5原子%含有したチタンとシリコンの反応により形成したシリサイド層の層抵抗のRTA温度依存性を示す図である。

【図6】本発明に従い、所望の濃度のタンゲステンを含有したチタンとシリコンの反応により形成したチタンシリサイドの比抵抗を示す図である。

【図7】本発明に従い、タンゲステンを5原子%含有したチタンとシリコンの反応により、(a) 0.2μm幅のN型ゲート電極上及び、(b) 0.5μm幅のN型拡散層上に形成した、チタンシリサイドの層抵抗と熱処理によるその変化を示す図である。

【符号の説明】

101 P型シリコン基板

102 Nウェル

103 フィールド酸化膜

104 ゲート酸化膜

105 ゲート電極

106 サイドウォール

107 N型不純物拡散層

108 P型不純物拡散層

109 N型多結晶シリコンゲート

110 P型多結晶シリコンゲート

111 タンゲステンを5原子%含有したチタン

112 タンゲステンを含有したC49型構造のチタンシリサイド

40 113 タンゲステンを含有した窒化チタン

114 低濃度のN型不純物拡散層

115 低濃度のP型不純物拡散層

116 不純物を含まないシリコン酸化膜

117 不純物を含んだシリコン酸化膜

201 P型シリコン基板

202 Nウェル

203 フィールド酸化膜

204 ゲート酸化膜

205 ゲート電極

50 206 サイドウォール

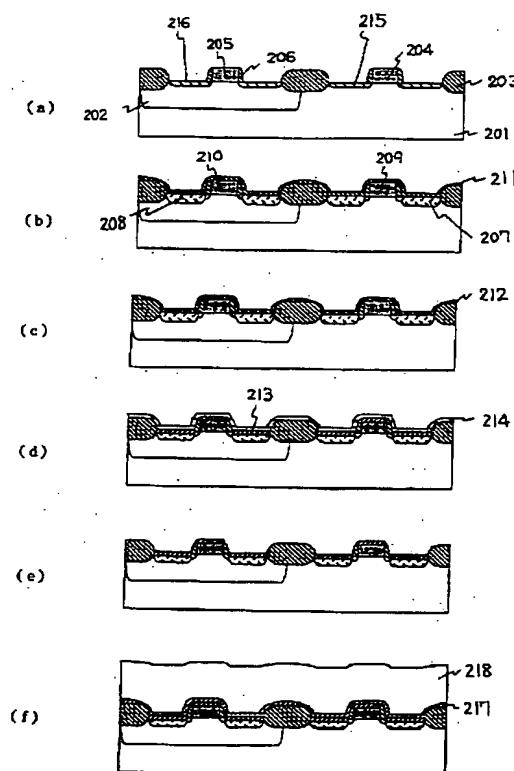
11

- 207 N型不純物拡散層
 208 P型不純物拡散層
 209 N型多結晶シリコンゲート
 210 P型多結晶シリコンゲート
 211 チタン
 212 1原子%以下のタングステンが含有したチタン
 213 タングステンを含有したC49型構造のチタンシリサイド
 214 タングステンを含有した窒化チタン
 215 低濃度のN型不純物拡散層
 216 低濃度のP型不純物拡散層
 217 不純物を含まないシリコン酸化膜
 218 不純物を含んだシリコン酸化膜
 301 P型シリコン基板
 302 Nウェル

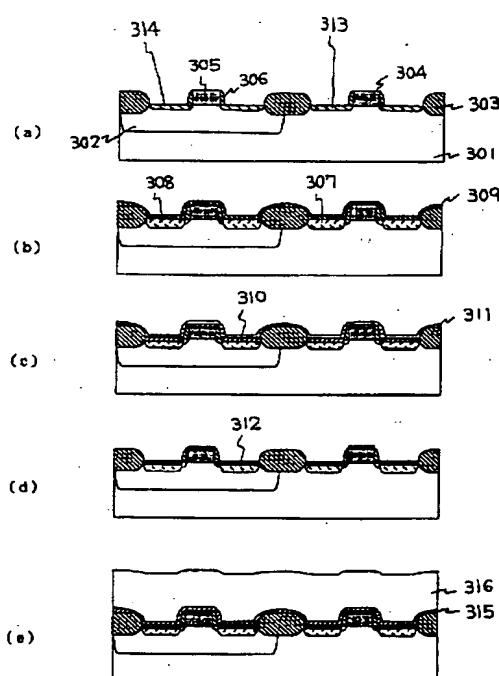
12

- 303 フィールド酸化膜
 304 ゲート酸化膜
 305 ゲート電極
 306 サイドウォール
 307 N型不純物拡散層
 308 P型不純物拡散層
 309 チタン
 310 C49型構造のチタンシリサイド
 311 窒化チタン
 10 312 C54型構造のチタンシリサイド
 313 低濃度のN型不純物拡散層
 314 低濃度のP型不純物拡散層
 315 不純物を含まないシリコン酸化膜
 316 不純物を含んだシリコン酸化膜

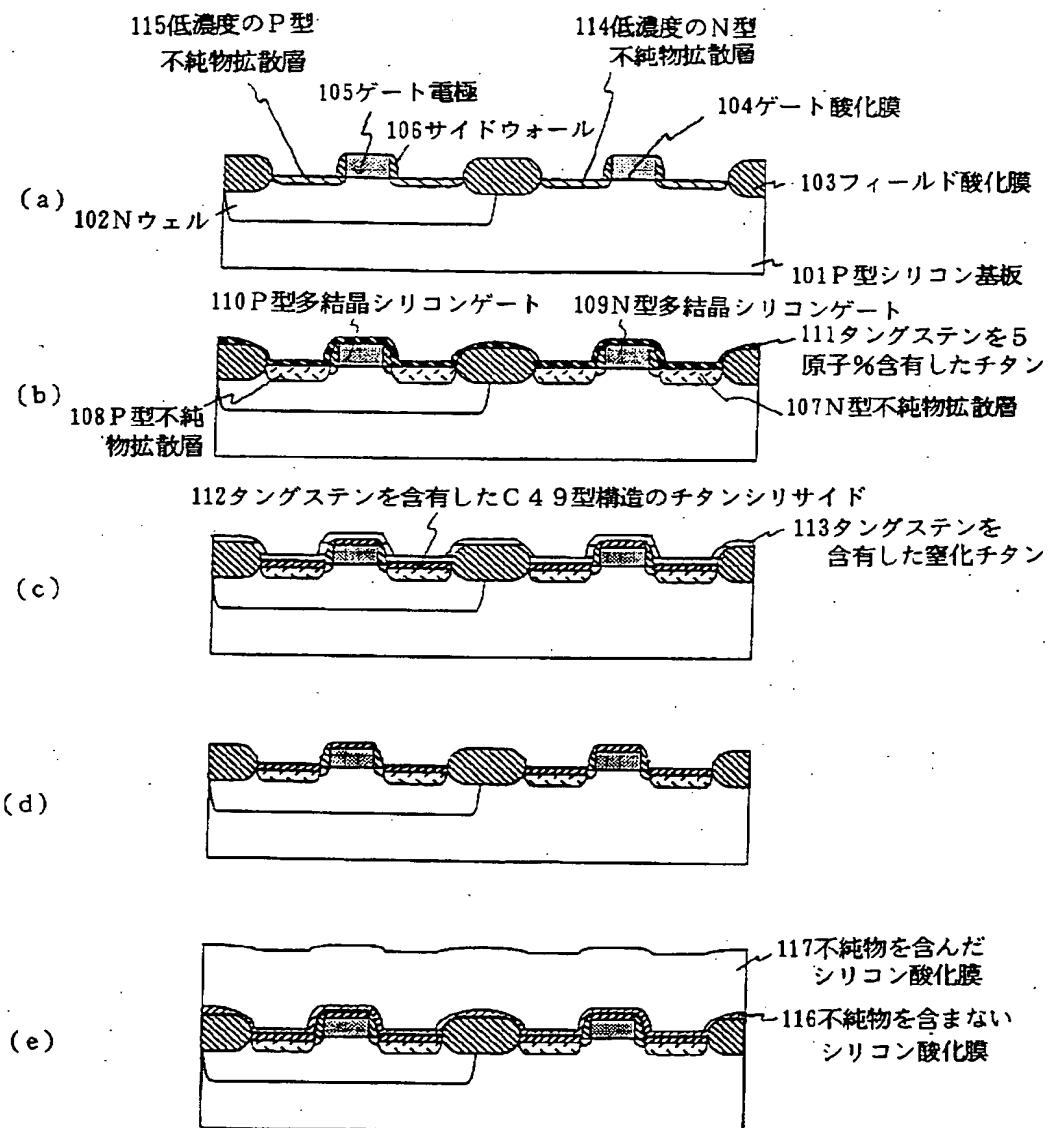
【図2】



【図3】



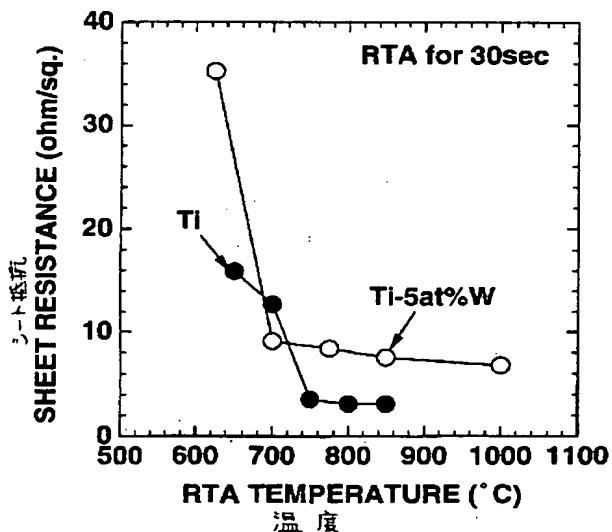
【図1】



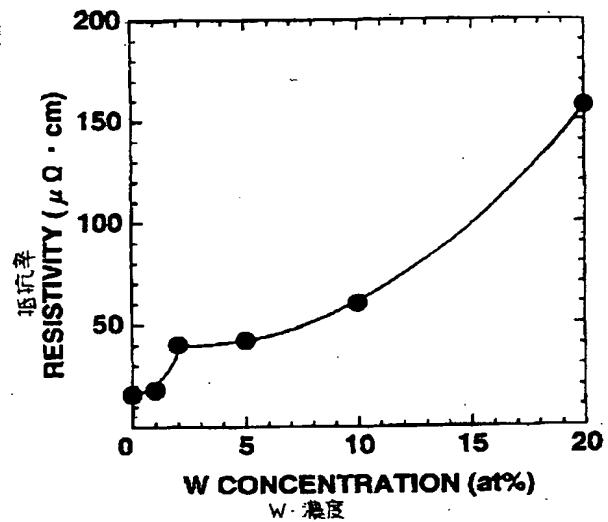
【図4】



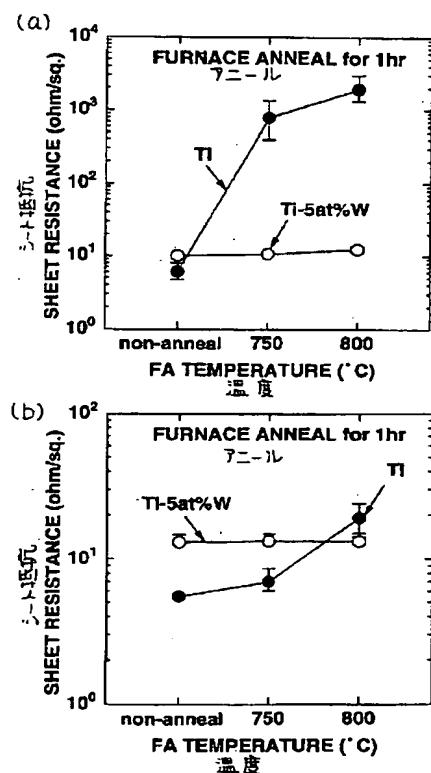
【図5】



【図6】



【図7】



フロントページの続き

(72) 発明者 三ヶ木 郁
東京都港区芝五丁目 7 番 1 号 日本電気株
式会社内